

PAT-NO: JP401048142A

DOCUMENT-IDENTIFIER: JP 01048142 A

TITLE: ADDRESS COMPARE STOP CONTROL SYSTEM

PUBN-DATE: February 22, 1989

INVENTOR-INFORMATION:

NAME
KARIBE, HIDENORI
SHIMAKURA, KAZUKO
MATSUSHITA, HIROSHI

BEST AVAILABLE COPY

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP62205459

APPL-DATE: August 19, 1987

INT-CL (IPC): G06F011/28

ABSTRACT:

PURPOSE: To stop the execution of processing after passing an address of address stop a prescribed number of times by decrementing the value stored in a counter based on the coincidence signal sent from an address comparator and stopping a clock at the time of arrival at zero.

CONSTITUTION: A comparator 4 compares the address read from a compare address register 1 with the address generated by an address register 2; and if they coincide with each other, the coincidence signal is supplied to a decrementer 6 to decrement the value stored in a counter 5. When the value stored in the counter 5 reaches zero, a signal in the low level is sent to an AND circuit 7 to stop supply of the clock and the execution of processing is stopped. Thus, when the address of address stop and a prescribed number of times of passage are preliminarily set, the execution of processing is automatically stopped in the pertinent address position after passing the pertinent address the prescribed number of times.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報 (A) 昭64-48142

⑯ Int.Cl.

G 06 F 11/28

識別記号

320

府内整理番号

B-7343-5B

⑬ 公開

昭和64年(1989)2月22日

審査請求 未請求 発明の数 1 (全 5 頁)

⑭ 発明の名称 アドレスコンペアストップ制御方式

⑯ 特願 昭62-205459

⑯ 出願 昭62(1987)8月19日

⑭ 発明者 莢部 英則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑭ 発明者 島倉 一子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑭ 発明者 松下 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 井桁 貞一

明細書

を特徴とするアドレスコンペアストップ制御方式。

1. 発明の名称

アドレスコンペアストップ制御方式

2. 特許請求の範囲

所定のアドレス位置で処理の実行を停止させる

アドレスコンペアストップ制御方式において、

処理を停止させるアドレスを格納するコンペア

アドレスレジスタ(1)と、

メモリ(3)からプログラムを読み出すアドレスを
生成するアドレスレジスタ(2)と、コンペアアドレスレジスタ(1)に格納されている
アドレスと、アドレスレジスタ(2)によって生成さ
れるアドレスとを比較して一致した場合に一致信
号を出力する比較器(4)とを備え、処理を停止させようとするアドレスを上記コン
ペアアドレスレジスタ(1)に格納した後、処理を
開始し、上記比較器(4)から一致信号が所定回数出力
された場合に処理を停止するように構成したこと

3. 発明の詳細な説明

(概要)

処理の実行を所定のアドレス位置で停止させる
アドレスコンペアストップ制御方式に関し、アドレスストップさせたいアドレスを所定回数
通過した後に処理の実行を停止させることを目的
とし、処理を停止させるアドレスを格納するコンペア
アドレスレジスタと、メモリからプログラムを読
み出すアドレスを生成するアドレスレジスタと、
コンペアアドレスレジスタに格納されているアド
レスと、アドレスレジスタによって生成されるア
ドレスとを比較して一致した場合に一致信号を出
力する比較器とを備え、処理を停止させようとす
るアドレスを上記コンペアアドレスレジスタに格
納した後、処理を開始し、上記比較器から一致信
号が所定回数出力された場合に処理を停止するよ
うに構成する。

(産業上の利用分野)

本発明は、処理の実行を所定のアドレス位置で停止させるアドレスコンペアストップ制御方式に関するものである。

(従来の技術と発明が解決しようとする問題点)

従来、所定のアドレスに至った時に処理の実行を停止するアドレスコンペアストップ機能を持つ装置において、所定のアドレスを複数回通過した時に停止させようとした場合、所定のアドレスに至った時に停止させた後、再度クロックをスタートさせて処理の実行を開始するという操作を複数回繰り返すようにしていた。このため、同じアドレスを何度も通るようなプログラムでは、所望の回数だけ、アドレスストップさせた後、再度クロックをスタートさせて処理の実行を開始させる作業を人手によって行なわなければならず、操作が煩雑となってしまうという問題点があった。

本発明は、アドレスストップさせたいアドレス

致信号に基づいて、カウンタ5に格納されている値をデクレメントするものである。

AND回路7は、コンペアアドレスレジスタ1、アドレスレジスタ2、およびカウンタ5に供給するクロックを停止させて処理の実行を停止させるものである。

(作用)

本発明は、第1図に示すように、予め処理の実行を停止させたいアドレスをコンペアアドレスレジスタ1に格納すると共に、所定回数当該アドレスを通過した後に停止させる回数をカウンタ5に格納し、クロックを供給して処理を開始する。比較器4がコンペアアドレスレジスタ1から読み出したアドレスと、アドレスレジスタ2によって生成されるアドレスとを比較し、一致した場合に一致信号をデクレメンタ6に供給してカウンタ5に格納されている値を減算する。そして、カウンタ5に格納されている値が零になった時にAND回路7にレベルの信号を送出してクロックの供給

を所定回数通過した後に処理の実行を停止させることを目的としている。

(問題点を解決するための手段)

第1図は本発明の原理構成図を示す。

第1図において、コンペアアドレスレジスタ1は、処理の実行を停止させようとするアドレスを格納するものである。

アドレスレジスタ2は、メモリ3に供給するアドレスを生成するものである。

メモリ3は、マイクロコードなどのプログラムを格納するものである。

比較器4は、コンペアアドレスレジスタ1から読み出したアドレスと、アドレスレジスタ2によって生成されたアドレスとが一致するか否かを比較し、一致した時に一致信号を出力するものである。

カウンタ5は、比較器4から送出された一致信号をカウントするものである。

デクレメンタ6は、比較器4から送出された一

を停止させ、処理の実行を停止させるようにしている。

このため、アドレスストップさせたいアドレスおよび所定回数を予めセットすることにより、所定の回数だけ当該アドレスを通過した後に、自動的に当該アドレス位置で処理の実行を停止させることが可能となる。

(実施例)

次に、第2図ないし第4図を用いて本発明の1実施例の構成および動作を詳細に説明する。

第2図において、CADRS(コンペアアドレスレジスタ)1-1は、処理の実行を停止させたいアドレスを格納するものである。

CSA(コントロール・ストレージ・アドレスレジスタ)2-1は、CS3-1からマイクロコードを読み出すアドレスを生成するものである。

CS(コントロール・ストレージ)3-1は、マイクロコードを格納するものである。

OP Reg(オペレーション・レジスタ)3

-2は、CS3-1から読み出したマイクロコードを格納して、図示外のデコーダによってデコードして処理を実行させるものである。

比較器4は、CADRS1-1から読み出したストップさせたいアドレスと、CSA2-1によって生成されたアドレスとを比較し、一致した場合にAMATCH信号（一致信号）を出力するものである。

COUNTER（カウンタ）5は、当初ストップさせたい回数を格納し、順次減算されるものである。零になった時に、CNT=0信号（一致信号）をFF8に送出する。

デクレメンタ6は、比較器4から送出されたAMATCH信号（一致信号）に基づきCOUNTER5に格納されている回数をデクレメント（減算）するものである。

FF（フリップフロップ）8は、COUNTER5から送出されたCNT=0信号をクロックに同期して保持するものである。

AND回路7は、クロックの供給を停止するも

意味している。YESの場合（一致する場合）には、図中③以下を実行する。NOの場合には、図中③を繰り返し行う。

図中③は、カウンタを1デクリメントする状態を示す。これは、デクレメンタ6が、比較器4から通知されたAMATCH信号（一致信号）に基づいて、COUNTER5に格納されている回数値を“1”デクレメント（減算）することを意味している。

図中④は、カウンタの内容が“0”（等）か否かを判別する状態を示す。YESの場合には、図中⑦以下を実行する。NOの場合には、図中③以下を繰り返し実行する。

図中⑦は、クロックを停止する状態を示す。これは、COUNTER5に格納されている内容が“0”（等）になったことに対応して出力されるCNT=0信号を、FF8がクロックに同期して取り込み、この取り込んだ信号をAND回路7に供給し、CLOCK0（クロック0）をCADRS1-1、CSA2-1、OP Reg3-2、

のである。

次に、第3図を用いて第2回路構成の動作を詳細に説明する。

第3図において、図中①は、カウンタのセットを行う状態を示す。これは、アドレスストップさせたいアドレスを所定回数だけ通過した後に停止させる回数を、COUNTER5に予め格納することを意味している。

図中②は、アドレスストップさせたいアドレスをセットする状態を示す。これは、処理の実行を停止させようとするアドレスを、CADRS1-1に予め格納することを意味している。

図中③は、実行する状態を示す。これは、AND回路7を介してクロックを供給して処理の実行を開始することを意味している。

図中④は、アドレスが一致か否かを比較する状態を示す。これは、比較器4が、CADRS1-1から読み出したストップさせたいアドレスと、CSA2-1が生成してCS3-1に供給しているアドレスとが一致するか否かを比較することを

およびFF8に対して供給することを停止することを意味している。これにより、CS3-1からマイクロコードが読み出されることなどが停止され、処理が停止される。

図中⑤は、回路内部の状態を見ることを示す。これは、所定のアドレスを所定回数通過した後に、処理の実行を停止させたので、この時の回路内部の状態例えば制御情報、データなどをスキャンして読み出して見ることを意味する。これにより、デバックを行ったり、プログラムの動作確認を行うことができる。

第4図を用いて具体的動作を説明する。図中CSAはCSA2-1によって生成されてCS3-1に供給されるアドレスを示し、OP-RegはCS3-1から読み出された内容を示し、AMATCHは比較器4から出力される一致信号を示し、COUNTERはCOUNTER5に格納されている回数値を示し、CNT=0はCOUNTER5が零になった時に送出される信号を示し、FFはFF8から送出される信号を示す。

まず、アドレスストップさせたいアドレス“2”を C A D R S 1 - 1 に格納すると共に、回数“3”を C O U N T E R 5 に格納する。また、C S A 2 - 1 が第4図最上段に示すように 0、1、2、3、4、1、2、3、4、1、2、3、4、…なるアドレスを生成するものとする。これらのアドレスによって C S 3 - 1 から読み出される命令（マイクロコード）は全て 1 で実行されるものとする。

次に、第4図において、図中(a)は、比較器4が C A R D S 1 - 1 から読み出したアドレスストップさせたい予め格納したアドレス“2”と、C S A 2 - 1 によって生成されたアドレス“0”、“1”、“2”…とを比較し、一致が検出されたので、この旨を A M A T C H 値号としてデクレメンタ6に通知して C O U N T E R 5 に格納されている回数値を“3”から“2”にデクレメントする状態を示す。

図中(b)は、図中(a)と同様にして C O U N T E R 5 に格納されている回数値を“2”から“1”に

処理の実行を停止させる構成を採用しているため、処理の実行を停止させたいアドレスおよび回数をセットするのみで、自動的に該当するアドレス位置で処理の実行を停止させ、内部状態を見てデバッグを行ったり、プログラムの動作確認を行ったりすることができる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は本発明の1実施例構成図、第3図は本発明の動作説明フローチャート、第4図は本発明の動作例を示す。

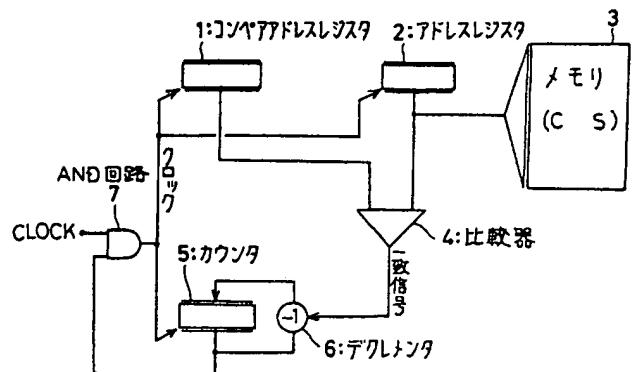
図中、1はコンペアアドレスレジスタ、2はアドレスレジスタ、3はメモリ、4は比較器、5はカウンタ、6はデクレメンタ、7はAND回路を表す。

デクレメントする状態を示す。

図中(c)は、図中(b)と同様にして C O U N T E R 5 に格納されている回数値を“1”から“0”にデクレメントするが、その回数値が“0”になつて C N T “0”信号が F F 8 に送出されたので、次のクロックサイクルによって F F 8 からレベル信号を A N D 回路 7 に供給し、処理の実行を停止させる状態を示す。これにより、アドレス“2”的直前に C S 3 - 1 から読みだされて O P R e g 3 - 2 に格納されたマイクロコードに対する処理が終了した後、所望のアドレス“2”的位置で処理が停止されることとなる。そして、内部回路の状態を見ることにより、デバッグを行ったり、あるいはプログラムの動作確認を行うことができる。

〔発明の効果〕

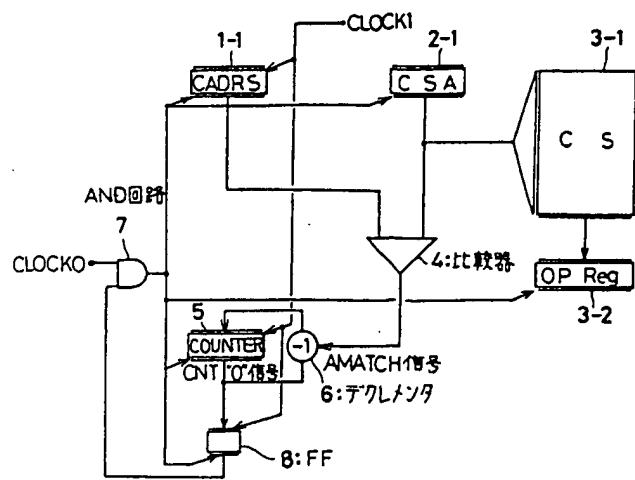
以上説明したように、本発明によれば、ストップさせたいアドレスおよび回数を予めセットし、このセットした回数に至った時に当該アドレスで



本発明の原理構成図

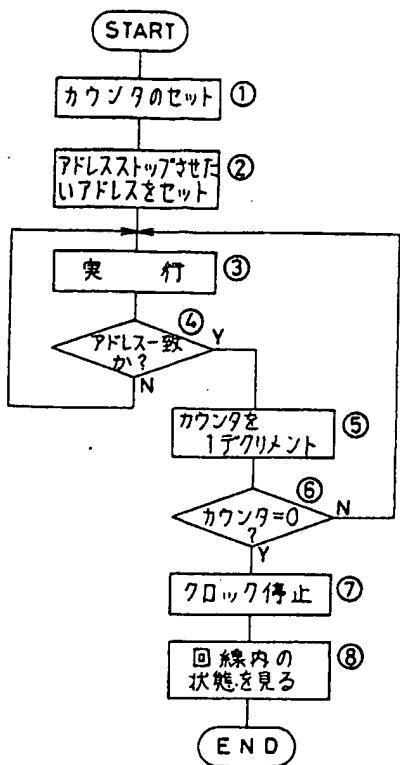
第1図

代理人弁理士 井桁 貞
井桁貞
印



本発明の1実施例構成図

第 2 図



本発明の動作説明フロー図

第 3 図

	(a)	(b)	(c)
C S A	0 1 2 3 4 1 2 3 4 1 2 3 4	0 1 2 3 4 1 2 3 4 1 2 3 4	0 1 2 3 4 1 2 3 4 1 2 3 4
OP Reg	1の時 0の時 1' 2' 3' 4' 1' 2' 3' 4' 1' 2' 3' 4'	1の時 0の時 1' 2' 3' 4' 1' 2' 3' 4' 1' 2' 3' 4'	1の時 0の時 1' 2' 3' 4' 1' 2' 3' 4' 1' 2' 3' 4'
AMATCH			
COUNTER	3 3 3 2 2 2 1 1 1 0 0 0 0 0	3 3 3 2 2 2 1 1 1 0 0 0 0 0	3 3 3 2 2 2 1 1 1 0 0 0 0 0
CNT '0'			
FF			

本発明の動作例

第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.